

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

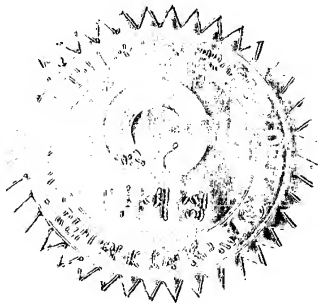
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0001449
Application Number

출원년월일 : 2003년 01월 09일
Date of Application JAN 09, 2003

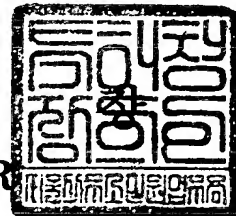
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 06 월 13 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.01.09
【발명의 명칭】	시리얼 플래시 메모리에서의 현지 실행을 위한 제어 장치 및 그 방법, 이를 이용한 플래시 메모리 칩
【발명의 영문명칭】	CONTROL APPARATUS AND METHOD FOR XIP(EXECUTION IN PLACE) IN SERIAL FLASH MEMORY AND FLASH MEMORY CHIP USING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	김동진
【대리인코드】	9-1999-000041-4
【포괄위임등록번호】	2002-007585-8
【발명자】	
【성명의 국문표기】	서재유
【성명의 영문표기】	SEO, JAE YU
【주민등록번호】	681201-1251916
【우편번호】	442-740
【주소】	경기도 수원시 팔달구 영통동 황골주공 101동 1104호
【국적】	KR
【발명자】	
【성명의 국문표기】	박찬익
【성명의 영문표기】	PARK, CHAN IK
【주민등록번호】	720425-1057326
【우편번호】	152-059
【주소】	서울특별시 구로구 구로본동 492-2 뉴홍현 아파트 1001호
【국적】	KR
【발명자】	
【성명의 국문표기】	임재민
【성명의 영문표기】	LIM, JAE MIN

【주민등록번호】	620601-1012032		
【우편번호】	430-711		
【주소】	경기도 안양시 만안구 안양1동 진흥아파트 123동 306호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 김동진 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	17	면	17,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	13	항	525,000 원
【합계】	571,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

본 발명은 낸드형 플래시 메모리에서의 현지 실행을 위한 제어 장치 및 그 방법, 이를 이용한 플래시 메모리 칩에 관한 것이며, 소정의 저장 용량을 갖는 Serial FLASH 컨트롤러 장치에서 Serial FLASH에 접근하여 필요한 데이터가 속한 페이지 전체를 읽어 들여 주 제어부로 요구된 데이터를 전송하거나 실행시켜 Serial FLASH에서의 XIP 기능 지원이 가능하도록 하는 것을 목적으로 한다.

이를 위해 Serial 플래시에서의 현지 실행을 위한 제어 장치는 시스템 인터페이스부를 통해 수신되는 주 제어부의 명령어에 따라 Serial FLASH의 지정된 메모리 주소를 액세스하여 상기 주 제어부로부터 요구된 데이터를 판독하거나 기록하는 캐시 모듈, Serial FLASH에 기록된 부트 코드를 독출하여 버퍼에 저장하고 상기 주 제어부로부터 부트 코드가 요구되면 바로 전송하여 시스템 부팅이 실행되도록 하는 부팅 로더가 구비되는 시리얼 플래시 컨트롤러, 캐시 모듈 및 시리얼 플래시 컨트롤러와 Serial FLASH간의 데이터 송/수신을 처리하는 플래시 인터페이스부를 포함하는 것을 특징으로 한다.

【대표도】

도 2

【색인어】

Serial FLASH, XIP, 메모리 칩

【명세서】**【발명의 명칭】**

시리얼 플래시 메모리에서의 현지 실행을 위한 제어 장치 및 그 방법, 이를 이용한 플래시 메모리 칩{CONTROL APPARATUS AND METHOD FOR XIP(EXECUTION IN PLACE) IN SERIAL FLASH MEMORY AND FLASH MEMORY CHIP USING THE SAME}

【도면의 간단한 설명】

도 1의 a 및 b는 종래의 NOR 플래시 메모리 및 Serial FLASH를 이용한 XIP 실행 과정을 나타낸 것이다.

도 2는 본 발명에 따른 Serial FLASH 및 플래시 메모리 액세스 장치의 구성을 개략적으로 나타낸 블록도이다.

도 3은 본 발명에 따른 Serial FLASH에서의 XIP를 위한 제어 장치의 구성을 개략적으로 나타낸 블록도이다.

도 4는 도 3의 데이터 저장부 구조를 개략적으로 나타낸 것이다.

도 5는 본 발명에 따른 Serial FLASH에서의 XIP를 위한 제어 방법에 대한 처리 과정을 개략적으로 나타낸 동작 흐름도이다.

도 6은 도 5의 S50에서 주 제어부로부터 수신된 Boot Read 명령어에 대한 처리과정을 나타낸 동작 흐름도이다.

도 7은 도 5의 S50에서 주 제어부로부터 수신된 Serial ID Read 명령어에 대한 처리과정을 나타낸 동작 흐름도이다.

도 8은 도 5의 S50에서 주 제어부로부터 수신된 Write 명령어에 대한 처리과정을 나타낸 동작 흐름도이다.

도 9는 도 5의 S50에서 주 제어부로부터 수신된 Read 명령어에 대한 처리과정을 나타낸 동작 흐름도이다.

도 10은 본 발명의 일 실시 예에 따른 주 제어부로부터 요구되는 데이터가 데이터 저장부에 없는 경우에 대한 처리과정을 나타낸 동작 흐름도이다.

도 11는 본 발명의 일 실시 예에 따른 주 제어부로부터 요구되는 데이터가 데이터 저장부에 있는 경우에 대한 처리과정을 나타낸 동작 흐름도이다.

* 도면의 주요부분에 대한 부호의 설명 *

100 : 시리얼 플래시 메모리(Serial FLASH)

101 : 부트 영역

103 : 운영체제 영역

105 : 데이터 영역

107 : 파일 시스템 영역

300 : 주 제어부

500 : 플래시 메모리 컨트롤러

510 : 시스템 인터페이스부

530 : 캐시 메모리 모듈

531 : 캐시 컨트롤러

533 : 태그 저장부

535 : 데이터 저장부

550 : 시리얼 플래시 컨트롤러

551 : 부트 로더(Boot Loader)

553 : 프리 패치

555 : EDC/ECC

557 : Decomp

570 : 플래시 인터페이스부

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <25> 본 발명은 직렬형 플래시 메모리에서의 현지 실행을 위한 제어 장치 및 그 방법, 이를 이용한 플래시 메모리 칩에 관한 것으로서, 특히 소정의 저장 용량을 갖는 하드웨어 컨트롤러를 통해 직렬형 플래시 메모리에 접근하여 필요한 데이터를 액세스하거나 실행시키는 것이 가능하도록 하는 직렬형 플래시 메모리에서의 현지 실행을 위한 제어 장치 및 그 방법, 이를 이용한 플래시 메모리 칩에 관한 것이다.
- <26> 일반적으로 플래시 메모리는 롬(Read Only Memory : ROM)과 같이 한번 기록한 내용을 전원이 공급되지 않더라도 보존하는 비휘발성을 가지면서도 쓰기가 가능한 메모리로서, 제조 방법에 따라 크게 비트선과 접지선 사이에 셀이 병렬로 배치되는 구조의 병렬형 플래시 메모리(Parallel Flash Memory;이하, Parallel Flash라칭함)와 직렬로 배치되는 구조의 직렬형 플래시 메모리(Serial Flash Memory;이하, Serial Flash라 칭함)로 나눌 수 있다.
- <27> Parallel Flash는 대표적으로 EEPROM(Electrically Erasable Programmable Read Only Memory), NOR 및 NOR 형의 변형 구조인 DINOR(Divided Bit-line NOR)형으로 이루어지는데, 셀 순서에 관계없이 임의의 번지를 읽거나 기록하는 방식(Random Access)로 바이트 단위의 접근이 가능한 디바이스 이다.

- <28> 그러나, Parallel Flash는 셀마다 비트선의 접촉 전극이 필요하므로 직렬형 플래시에 비해 셀 면적이 커지는 단점이 있다.
- <29> Serial Flash는 대표적으로 NAND, AND로 이루어지는데, 먼저 해당 블록을 선택한 후 직렬로 연결된 각 셀을 읽는 방식으로 블록을 기본 단위로 하여 액세스가 이루어지는 블록 디바이스이다.
- <30> Serial Flash에서 블록은 한번의 삭제 연산으로 지울 수 있는 단위를 나타내는 것이고, 페이지(page)는 판독/기록 연산 시에 읽거나 기록할 수 있는 데이터 크기를 의미한다.
- <31> 이러한, Serial Flash는 Parallel Flash에 비해 쓰기 속도가 빠르고 가격이 비교적 싸며 고용량화 하기가 쉬운 장점이 있어 큰 데이터를 저장하기 위한 용도로 널리 사용되고 있는데, 바이트 단위의 접근이 불가능하여 기록된 데이터를 주 메모리로 옮기지 않고 바로 실행할 수 있는 현지 실행(execute In Place; 이하, XIP 라 칭함) 기능을 제공하지 못한다.
- <32> 이에 따라, 통상적으로는 Serial Flash는 보조적인 데이터 저장 장치로 사용하고 ROM에 시스템 부팅을 위한 부트 코드(Boot code)를 저장하거나, Serial Flash를 나누어 부트 코드와 데이터를 관리하도록 한다.
- <33> 이에 따라, 통상적으로 Serial FLASH는 보조적인 데이터 저장 장치로 사용하고, XIP가 가능한 NOR 플래시 메모리나 ROM에 시스템 부팅을 위한 부트 코드를 저장하였다.
- <34> 도 1의 a는 종래의 NOR 플래시 메모리를 이용한 시스템 부팅 과정을 나타낸 것이고, 도 1의 b는 Serial Flash를 이용한 시스템 부팅 과정을 나타낸 것이다.

- <35> 도 1의 a에 도시된 바와 같이, NOR 플래시 메모리는 바이트(byte)단위 접근이 가능하기 때문에 시스템의 주 제어부에서 시스템 부팅을 위한 운영체제(OS) 이미지 및 데이터를 포함하는 OS 부트 코드를 NOR 플래시 메모리로부터 바로 독출하여 시스템 부팅을 실행하게 된다.
- <36> 도 1의 b에 도시된 바와 같이, Serial FLASH는 NOR 플래시 메모리나 ROM과는 달리 바이트 단위의 액세스가 가능하지 않기 때문에, 시스템 부팅을 위한 데이터를 부트 롬(BOOT ROM)의 부트 로더(Boot loader)로부터 독출하고(1), Serial FLASH로부터 시스템 부팅 시 요구되는 OS 이미지를 포함하는 OS 부트 코드가 속한 페이지 전체를 읽어들이 메인 메모리에 복사한 후 OS 이미지를 독출하여 주 제어부로 전송한다(2).
- <37> 즉, 시스템 부팅을 위해 주제어부로부터 요구되는 OS 이미지를 제공하기 위해 Serial FLASH로부터 OS 부트 코드가 속한 페이지 전체를 독출하여 주 메모리에 기록하고, OS 이미지만을 독출하여 주 제어부로 전송함으로써 주 제어부에서 시스템 부팅(OS Loading)을 실행하도록 한다(3).
- <38> 이와 같이, Serial Flash는 Parallel Flash인 NOR 플래시 메모리나 ROM과는 달리 XIP가 지원되지 않으므로, 시스템 부팅 시 요구되는 OS 부트 코드를 실행시키기 위해서는 메인 메모리에 옮겨 실행시켜야하기 때문에 실행 시간이 지연되며, 메인 메모리에 옮겨진 부트 코드로 인해 메인 메모리에서 사용 가능한 저장공간이 줄어들게 되는 문제점이 있었다.
- <39> 특히, 최근에는 각종 응용 프로그램 및 부가 기능으로 운영체제(OS)의 크기가 커지는 추세이기 때문에(일 예로, WinCE의 경우 16~32MB), Serial Flash로부터 독출된 부트 코드

가 메인 메모리에서 차지하는 용량이 더욱 커져 메인 메모리의 효율을 떨어뜨리는 문제점이 있었다.

<40> 따라서, 좀 더 낮은 가격으로 또는 같은 가격에서 좀 더 많은 메모리 용량을 사용하여 프로그램을 저장하고 필요할 경우에는 플래시 메모리 상에서 바로 데이터를 실행할 수 있도록 XIP 기능이 지원되는 Serial FLASH가 요구되고 있는 실정이다.

【발명이 이루고자 하는 기술적 과제】

<41> 본 발명은 소정의 저장 용량을 갖는 Serial FLASH 컨트롤러 장치에서 Serial FLASH에 접근하여 필요한 데이터가 속한 페이지 전체를 읽어들이 주 제어부로 요구된 데이터를 전송하거나 실행시켜 Serial FLASH에서의 XIP 기능 지원이 가능하도록 하는 것을 목적으로 한다.

<42> 또한, 본 발명의 다른 목적은 XIP 지원이 가능한 Serial FLASH 컨트롤러 장치와 Serial FLASH를 플래시 메모리 칩으로 제공하는 함으로써 기존의 ROM을 플래시 메모리 칩으로 대체하여 사용할 수 있도록 하는 것이다.

【발명의 구성 및 작용】

<43> 본 발명에 따른 Serial FLASH에서의 XIP를 위한 제어 장치는 시스템 인터페이스부를 통해 수신되는 주 제어부의 명령어에 따라 Serial FLASH의 지정된 메모리 주소를 액세스하여 주 제어부로부터 요구된 데이터를 판독하거나 기록하는 캐시 모듈, Serial FLASH에 기록된 부트 코드를 독출하여 버퍼에 저장하고 주 제어부로부터 부트 코드가 요구되면 바로 전송하여 시스템 부팅이 실행되도록 하는 부트 로더가 구비되는 시리얼 플래시 컨

트롤러, 캐시 모듈 또는 시리얼 플래시 컨트롤러와 Serial FLASH간의 데이터 송/수신을 처리하는 플래시 인터페이스부를 포함하는 것을 특징으로 한다.

<44> 본 발명에 따른 Serial FLASH에서의 XIP를 위한 제어 방법은 시스템에 전원이 인가되면 Serial FLASH에 접근하여 초기 부팅을 위한 부트 코드를 독출해 버퍼에 저장하는 단계; 부트 코드의 저장이 완료되고 시스템의 주 제어부로부터 부트 코드가 요구되면 버퍼로부터 부트 코드를 독출하여 전송하고 상기 주 제어부로부터 요구되는 연산을 처리하는 단계를 포함하는 것을 특징으로 한다.

<45> 본 발명에 따른 Serial FLASH에서의 XIP를 위한 제어 장치를 이용한 플래시 메모리 칩은 Serial형 셀 타입의 Serial FLASH와, Serial FLASH에 접근하여 시스템의 주 제어부로부터 요구되는 연산에 따라 버퍼에 미리 저장된 시스템 부팅을 위한 부트 코드를 바로 제공하거나 지정된 메모리 주소를 액세스하여 해당되는 데이터를 판독 또는 기록하는 컨트롤러를 포함하는 것을 특징으로 한다.

<46> 우선, 본 발명에 따른 Serial FLASH에서의 XIP를 위한 제어 장치와 그 방법 및 이를 이용한 플래시 메모리를 첨부된 도면을 참조하여 일 실시 예로 상세히 설명한다.

<47> 도 2는 본 발명에 따른 Serial FLASH에서의 XIP를 위한 제어 장치 및 이에 대한 Serial FLASH 액세스 장치를 나타낸 것이다.

<48> 도 2에 도시된 바와 같이, Serial FLASH 액세스 장치는 Serial FLASH(100), Serial FLASH(100)에 기록된 데이터를 판독하거나 데이터를 기록하기 위한 제어 명

령어를 발생시키는 시스템의 주 제어부(300), 주 제어부(300)에서 발생된 제어 명령어에 따라 Serial FLASH에 접근하여 상응하는 동작 제어를 수행하는 제어 장치(이하, 컨트롤러라 칭함)(500)로 구성된다.

<49> Serial FLASH(100)는 Serial형 셀 타입(cell type)의 플래시 메모리를 나타내는 것으로, 일 예로, Serial FLASH(100) 가운데 528 byte로 구성되는 NAND FLASH의 경우에는 512 byte의 데이터 블록(data)과 16 byte의 여유 블록(spare)으로 이루어진다.

<50> 이러한 Serial FLASH의 데이터 블록은 도 1에 별도로 도시된 바와 같이, 초기 운영체제(Operating System:OS) 부팅(booting)을 위한 부트 코드가 기록되는 부트 영역(100KB)(101), 운영체제 및 응용 프로그램이 기록되는 운영체제 영역(20MB)(103), 운영체제 영역(103)에 기록된 프로그램 실행을 위한 데이터가 기록되는 데이터 영역(20MB)(105), 운영체제의 동작 운용 과정에서 발생하는 신호 및 사용자에게 의해 입력되는 데이터가 기록되는 파일 시스템(File System;24MB)(107)로 이루어진다.

<51> 도 3은 이러한 Serial FLASH 액세스 장치 가운데 본 발명에 따른 Serial FLASH(100)에서의 XIP를 위한 컨트롤러(500)의 구성을 개략적으로 나타낸 블록도이다.

<52> 도 3에 도시된 바와 같이, 컨트롤러(500)는 크게 주 제어부(300)와의 신호 송/수신을 위한 시스템 인터페이스부(510), 시스템 인터페이스부(510)를 통해 수신되는 주 제어부(300)의 명령어에 따라 Serial FLASH(100)의 지정된 메모리 주소를 액세스하여 상기 주 제어부(300)로부터 요구된 데이터를 판독하거나 기록하는 캐시 모듈(이하, Cache라 칭함)(530), Serial FLASH(100)에 기록된 부트 코드를 독출하여 버퍼에 저장하고 상기 주 제어부(300)로부터 부트 코드가 요구되면 바로 전송하여 시스템 부팅이 실행되도록 하는 시리얼 플래시 컨트롤러(550), 상기 Cache(530) 또는 시리얼 플래시 컨트롤러(550)과

Serial FLASH(100)간의 데이터 송/수신을 처리하는 플래시 인터페이스부(570), Serial FLASH 액세스 과정에서 Serial FLASH(100)로부터 독출한 데이터를 임시 저장하기 위한 버퍼(buffer)(미도시)로 구성된다.

<53> 이와 같이 구성되는 컨트롤러(500)에서 Cache(530)는 주 제어부(300)에서 Serial FLASH(100)의 데이터를 보다 빠르게 액세스할 수 있도록 하기 위해 제공되는 것으로, 제 2 계층의 캐시 메모리인 L2-Cache로 구성된다.

<54> 이러한 Cache(530)는 도 3에 도시한 바와 같이, Cache 컨트롤러(531), 태그 저장부(533), 데이터 저장부(535)로 구성된다.

<55> Cache 컨트롤러(531)는 주 제어부(300)로부터 요구되는 판독 또는 기록 연산 명령에 따라 태그 저장부(533)와 데이터 저장부(535)를 참조하여 Serial FLASH(100)가 효율적으로 액세스될 수 있도록 처리한다.

<56> 즉, 주 제어부(300)로부터 특정 메모리 주소에 대한 기록 명령어가 수신되면 Serial FLASH(100)의 해당 주소에 접근하여 기록 연산이 요구되는 데이터를 기록하고, 판독(read) 명령어가 수신되면 태그 저장부(533)를 통해 데이터 저장부(535)에 판독 요구되는 데이터가 저장되어 있는지 여부를 검색한다.

<57> 그 결과에 따라 데이터 저장부(535)에서 해당 데이터를 검출해 주 제어부(300)로 전송하거나, Serial FLASH(100)에 접근하여 해당 데이터가 속한 페이지 전체를 읽어들이 버퍼에 저장하여 요구된 데이터를 주 제어부(300)로 전송하며 태그 저장부(533)와 데이터 저장부(535)에 독출된 페이지 및 이에 관한 저장 정보를 기록한다.

- <58> 태그 저장부(533)는 Cache 컨트롤러(531)에 의해 Serial FLASH(100)로부터 독출된 데이터에 대한 저장정보(일 예로, 독출된 페이지의 Serial FLASH 메모리 주소, 독출된 페이지의 저장 주소)를 기록하는 것으로, Static Random Access Memory(SRAM)로 구성된다.
- <59> 데이터 저장부(535)는 Cache 컨트롤러(531)의 동작 제어에 따라 Serial FLASH(100)로부터 독출된 데이터를 기록하는 것으로, Static Random Access Memory(SRAM)로 구성된다.
- <60> 이러한 데이터 저장부(535)는 도 4에 도시한 바와 같이, 캐시 컨트롤러(531)에 의해 Serial FLASH(100)로부터 독출된 페이지를 기록하는 Serial FLASH(100)의 주소 맵(address map)으로 구성되는 것으로, 캐시 컨트롤러(531)에서는 데이터 저장부(535)에 의해 Serial FLASH(100)를 액세스하여 주 제어부(300)로부터 요구되는 데이터를 제공한다.
- <61> 이와 같은 Cache(530)를 통해 Serial FLASH(100) 액세스 시간을 줄여주고 주 제어부(300)에서의 데이터 판독 또는 기록 연산에 따른 Serial FLASH 액세스가 자유롭게 실행될 수 있게 된다.
- <62> 즉, 일반적으로 Serial FLASH(100)에 기록된 데이터를 액세스하는데 소요되는 시간은 동일한 페이지 내에 기록된 데이터인 경우에는 정해진 액세스 시간(Access time, 50나노 정도)이 소요되지만, 페이지가 다를 경우에는 약 $10\mu s$ 으로 상당히 긴 시간인데, Cache(530)를 통해 액세스된 페이지 및 이에 대한 저장정보를 태그 저장부(533)와 데이터 저장부(535)에 기록하여 동일한 페이지의 데이터가 주 제어부(300)로부터 요구될 때 Serial FLASH(100)를 액세스하지 않고 데이터 저장부(535)를 통해 요구되는 데이터를 제공함으로써 한번 액세스된 데이터를 효율적으로 활용하고 액세스 시간이 짧아진다.

- <63> 또한, 컨트롤러(500)의 시리얼 플래시 컨트롤러(550)은 부트 로더(Boot Loader)(551), 프리패치(Prefetch)(553), 오류검출코드/오류정정코드(Error Detection Code/Error Correction Code;이하, EDC/ECC라 칭함)(555), Decomp(557)로 구성된다.
- <64> 부트 로더(551)는 시스템 부팅이 효율적으로 이루어지도록 하기 위한 것으로, 전원이 인가되면 Serial FLASH(100)의 부트영역(101)에 기록된 운영체제 프로그램 및 시스템 부팅을 위한 이미지와 같은 초기화 코드(initialize code)를 읽어들이 버퍼에 저장하고 주 제어부(300)가 첫 코드 패치 사이클(code fetch cycle)을 시작하여 부트코드 판독을 요구하면 저장된 초기화 코드를 주 제어부(300)로 전송하여 부팅이 시작되도록 한다.
- <65> 프리패치(Prefetch)(553), EDC/ECC(555) 및 Decomp(557)는 컨트롤러(500)의 성능향상을 위한 것으로, 프리 패치(553)는 주 제어부(300)의 판독 요구가 예상되는 데이터를 Serial FLASH(100)로부터 데이터를 미리 읽어들이 버퍼에 저장하고, EDC/ECC(555)는 송/수신되는 데이터의 오류를 검출하고 정정하며, Decomp(557)는 시스템 특성에 따라 요구되는 데이터 압축 및 압축 해제를 처리한다
- <66> 이 Decomp(557)은 시스템 특성에 따라 구비되는 것으로, 필요에 따라 구비되지 않을 수 있다.
- <67> 이러한 시리얼 플래시 컨트롤러(550)을 통해 시스템의 초기 부팅 시 주 제어부(300)에서 Serial FLASH(100)로부터 부팅에 필요한 데이터를 독출하여 시스템 부팅이 효율적으로 실행 된다.

- <68> 참고로, 전술한 본 발명의 일 실시 예에 따른 컨트롤러(500)는 각 모듈이 모두 하드웨어로 구성되거나, 일부 모듈이 소프트웨어로 구성되거나, 또는 전체 모듈이 소프트웨어로 구성될 수 있다.
- <69> 따라서, 본 발명의 일 실시 예에 따른 Serial FLASH에서의 XIP를 위한 컨트롤러가 하드웨어 또는 소프트웨어로 구성되는 것은 본 발명의 사상을 벗어나지 않으며, 본 발명의 사상에서 벗어나지 않으면서 소프트웨어 및/또는 하드웨어로 구성됨에 따른 수정과 변경이 추가될 수 있음은 자명하다.
- <70> 이와 같이 구성되는 Serial FLASH(100)에서의 XIP를 위한 컨트롤러(500)를 이용하여 컨트롤러(500)와 Serial FLASH(100)를 함께 하나의 칩으로 구성함으로써, XIP 지원이 가능한 Serial FLASH 칩이 된다.
- <71> 이러한 Serial FLASH 칩을 통해 사용자는 Serial FLASH(100)로 ROM 또는 NOR 플래시 메모리를 대체시킬 있게 된다.
- <72> 이와 같이 구성되는 Serial FLASH(100)에서의 XIP를 위한 컨트롤러(500)를 통한 Serial FLASH(100)에서의 XIP 방법은 도 5에 도시한 바와 같이 이루어진다.
- <73> 우선, 시스템에 전원이 인가되면(S1), 컨트롤러(500)의 부트 로더(551)에서는 Serial FLASH(100)의 부트 영역(101)에 접근하여 초기 부팅을 위한 부트 코드를 순차적으로 독출해 버퍼에 저장한다(S2).
- <74> 그 다음, 컨트롤러(500)에서는 부트 로더(551)에 의해 독출되는 코드의 버퍼 저장에 종료되었는지 여부를 판별하여(S3), 판별결과 코드 저장이 종료되지 않았으면 독출되는 코드를 계속 버퍼에 저장하고 판별결과 코드 저장이 종료되면 주 제어부(300)로부터 요구

되는 명령어(일 예로, 특정 주소의 데이터에 대한 판독(read) 또는 기록(write) 연산 제어 신호) 처리를 위해 시스템 인터페이스 모듈(510)을 통해 명령어가 수신되었는지 여부를 판별한다(S4).

<75> 판별결과 주 제어부(300)로부터 수신되는 명령어가 없으면 명령어 수신 여부를 판별하는 루틴으로 리턴하고, 수신되는 명령어가 있으면 수신된 명령어에 상응하는 동작 제어를 통해 명령어 처리를 한다(S5).

<76> 이러한 동작 과정으로 이루어지는 Serial FLASH(100)에서의 XIP 방법에서 주 제어부(300)로부터 수신되는 명령어에 따른 동작 과정을 첨부된 도면을 참조하여 상세히 설명한다.

<77> 도 6은 첫 코드 패치 사이클(code fetch cycle)에 따라 시스템 부팅에 필요한 부팅 코드 데이터를 판독하기 위해 boot read 명령어가 주 제어부(300)로부터 수신된 경우에 대한 처리 과정을 나타낸 것이다.

<78> 도 6에 도시한 바와 같이, 주 제어부(300)가 리셋(Reset) 후에 첫 코드 패치 사이클(code fetch cycle)을 시작하면서 주 제어부(300)로부터 boot read 명령어가 수신되면(S11), 컨트롤러(500)에서는 Serial FLASH(100)로부터 독출하여 버퍼에 저장하였던 부팅 코드를 독출하고(S12), 독출된 부트 코드를 주 제어부(300)로 전송한다(S13).

<79> 도 7은 Serial FLASH(100)에 기록된 Serial FLASH ID 및 시스템에서 사용되는 장치 요소(device)에 대한 정보를 판독하기 위한 Serial FLASH ID read 명령어가 주 제어부(300)로부터 수신된 경우에 대한 처리 과정을 나타낸 것이다.

- <80> 도 7에 도시한 바와 같이, 주 제어부(300)로부터 Serial FLASH ID read 명령어가 수신되면(S21), 컨트롤러(500)에서는 Cache(530)의 Cache 컨트롤러(531)를 통해 주 제어부(300)로부터 요구되는 Serial FLASH ID 데이터를 제공하기 위한 Serial FLASH ID 독출 제어 동작을 수행한다(S22).
- <81> Serial FLASH ID 독출 제어 동작은 Serial FLASH(100)에 접근하여 주 제어부(300)로부터 요구되는 Serial FLASH ID 데이터가 속한 페이지를 독출하고, 독출된 페이지를 버퍼에 저장하는 과정으로 이루어진다.
- <82> 이러한 Cache 컨트롤러(531)에 의한 Serial FLASH ID 독출 제어 동작에 따라 독출되어 버퍼에 저장된 페이지를 통해 주 제어부(300)로부터 요구된 Serial FLASH ID 데이터를 검출하고(S23), 검출된 Serial FLASH ID 데이터를 주 제어부(300)로 전송된다(S24).
- <83> 도 8은 Serial FLASH(100)에 소정의 데이터를 기록하기 위한 write 명령어가 주 제어부(300)로부터 수신된 경우에 대한 처리 과정을 나타낸 것이다.
- <84> 도 8에 도시한 바와 같이, 주 제어부(300)로부터 소정의 논리 주소와 함께 write 명령어가 수신되면(S31), 컨트롤러(500)에서는 주 제어부(300)로부터 전송되는 데이터를 수신하여 버퍼에 저장한다(S32).
- <85> 데이터 수신이 완료되면, Serial FLASH(100)의 사상기법(mapping)에 따라 할당되는 물리 주소를 통해 데이터가 기록될 메모리 주소를 정하고 기록 연산에 따라 변경되는 논리 주소와 물리주소간의 사상정보를 사상 테이블(mapping table)에 기록하는 Serial FLASH 기록 사이클 제어 동작을 수행한다(S33).

- <86> 이러한 사이클 제어 동작을 통해 데이터가 저장될 주소가 결정되면 버퍼에 저장된 데이터를 독출하여 지정된 Serial FLASH의 물리 주소에 기록한다(S34).
- <87> 도 9는 Serial FLASH(100)에 기록된 소정의 데이터를 읽어오기 위한 read 명령어가 주 제어부(300)로부터 수신된 경우에 대한 처리 과정을 나타낸 것이다.
- <88> 도 9에 도시한 바와 같이, 주 제어부(300)로부터 read 명령어가 수신되면(S41), 컨트롤러(500)에서는 Serial FLASH(100)의 사상 테이블을 참조하여 주 제어부(300)로부터 read 명령어와 함께 수신되는 논리주소에 해당되는 데이터가 기록된 물리 주소를 검색한다.
- <89> 그 다음, 검색된 물리 주소를 통해 Cache(530)의 태그 저장부(533)를 참조하여 검색된 물리 주소의 범위에 해당되는 페이지가 데이터 저장부(535)에 저장되어 있는지 여부를 판별하는 Serial FLASH 판독 사이클 제어를 수행한다(S42).
- <90> Serial FLASH 판독 사이클 제어 과정을 통해 주 제어부(300)로부터 판독이 요구되는 데이터가 데이터 저장부(535)에 저장되어 있으면 데이터 저장부(535)로부터 해당되는 데이터를 검출하여 주 제어부(300)로 전송하고, 데이터 저장부(535)에 저장되어 있지 않으면 Serial FLASH(100)에 접근하여 해당되는 물리 주소의 데이터가 속한 페이지 전체를 독출한다(S43).
- <91> Cache(530)의 Cache 컨트롤러(531)에서는 독출된 페이지를 버퍼에 저장하고(S44), 판독 요구된 데이터를 검출해 주 제어부(300)로 전송한다(S45).
- <92> 또한, 독출된 페이지 및 이에 대한 주소 정보를 태그 저장부(533)와 데이터 저장부(535)에 기록한다(S46).

- <93> 이와 같은 과정으로 이루어지는 본 발명에 따른 Serial FLASH(100)에서의 XIP 방법을 첨부된 도면을 참조하여 일 실시 예로 상세히 설명한다.
- <94> 시스템에 전원이 인가되면, 컨트롤러(500)에서는 Serial FLASH(100)로부터 초기 부팅을 위한 부트 코드를 독출하여 버퍼에 저장하고, 주 제어부(300)에서 첫 코드 패치 사이클을 시작하면서 boot read 명령어가 수신되면 버퍼에 저장된 부트 코드를 주 제어부(300)로 전송한다.
- <95> 주 제어부(300)에서는 초기 부트 코드에 포함된 초기화 및 롬 코드 점프(ROM code jump) 명령어를 통해 초기화 준비를 한다.
- <96> 초기화 준비를 마친 주 제어부(300)는 Serial FLASH(100)의 주소 맵으로 구성되는 태그 저장부(533)를 참조하여 데이터 저장부(535)를 액세스함으로써 주 제어부(300)로부터 요구되는 데이터를 데이터 버스에 실어 주 제어부(300)로 전송하고, 주 제어부(300)에서는 그 데이터를 바로 실행하여 부팅을 시작한다.
- <97> 이러한 과정을 통해 컨트롤러(500)를 통해 주 제어부(300)와 Serial FLASH(100) 사이의 인터페이스가 이루어지면, 주 제어부(300)에서는 Serial FLASH(100)에 기록된 데이터를 주 메모리를 거치지 않고 바로 액세스 함으로써 XIP 가능하게 된다.
- <98> 즉, 주 제어부(300)의 요청에 따라 컨트롤러(500)에서 판독/기록/삭제/프로그램(read/write/erase/program)과 같은 필요한 기능을 정의하고, 태그 저장부(533)를 참조하여 데이터 저장부(535)에 저장된 주 제어부(300)로부터 판독 요구되는 메모리 주소와 일치하는 주소가 기록되어 있는지를 검색한다.

- <99> 검색결과 일치하면 데이터 저장부(535)로부터 해당되는 데이터를 독출하여 주 제어부(300)로 전송하고, 기록되어 있지 않으면 Serial FLASH(100)에 접근하여 해당되는 데이터가 속한 페이지 전체를 읽어들이 버퍼에 저장한 후 요구된 주소의 데이터를 주 제어부(300)로 전송하며 독출된 페이지를 태그 저장부(533)와 데이터 저장부(535)에 기록한다.
- <100> 이러한 과정을 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다.
- <101> 도 10은 주 제어부(300)로부터 요구되는 데이터가 데이터 저장부(535)에 없는 경우에 대한 처리과정을 나타낸 것이다.
- <102> 도 10에 도시된 바와 같이, 주 제어부(300)로부터 Serial FLASH(100)의 특정 메모리 주소에 대한 선택 신호와 함께 판독이 요구되면(1), 컨트롤러(500)에서는 태그 저장부(533)에서 선택된 메모리 주소에 해당되는 주소의 페이지가 데이터 저장부(535)에 기록되어 있는지를 검색한다(2).
- <103> 본 실시예에 따라 데이터 저장부(535)에 해당되는 데이터가 속한 페이지가 저장되어 있지 않기 때문에, 컨트롤러(500)에서는 Serial FLASH(100)로 주 제어부(300)로부터 판독이 요구된 메모리 주소에 대한 판독 명령어를 전송하여(3) 해당되는 메모리 주소가 속한 페이지 전체를 독출한다(4).
- <104> 페이지 독출이 완료되면 컨트롤러(500)에서는 독출된 페이지를 버퍼에 저장해 필요한 데이터를 검출하여 주 제어부(300)로 전송하고(5), 독출된 페이지 및 이에 대한 저장 정보를 태그 저장부(533) 및 데이터 저장부(535)에 기록한다(6).

<105> 도 11은 상기한 과정이 반복됨에 따른 주 제어부(300)로부터 요구되는 데이터가 데이터 저장부(353)에 있는 경우에 대한 처리과정을 나타낸 것이다.

<106> 도 11에 도시된 바와 같이, 주 제어부(300)로부터 Serial FLASH(100)의 특정 메모리 주소에 대한 선택 신호와 함께 판독이 요구되면(1), 컨트롤러(500)에서는 태그 저장부(533)에서 선택된 메모리 주소에 해당되는 주소의 페이지가 데이터 저장부(535)에 기록되어 있는지를 검색한다(2).

<107> 본 실시예에 따라 데이터 저장부(535)에 해당되는 데이터가 속한 페이지가 저장되어 있기 때문에, 컨트롤러(500)에서는 태그 저장부(533)를 통해 검색된 저장정보를 참조하여 데이터 저장부(535)로부터 필요한 데이터를 검출한다(3).

<108> 검출된 데이터는 컨트롤러(500)에 의해 주 제어부(300)로 전송된다(4).

<109> 본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다.

<110> 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<111> 본 발명에 따르면, Serial FLASH에 접근하여 필요한 페이지를 독출해 주 제어부로 제공하는 Serial FLASH 컨트롤 장치를 통해 Serial FLASH에서의 XIP 기능 지원이 가능할 수 있다.

<112> 또한, XIP 가능한 Serial FLASH 컨트롤러 장치를 포함하는 Serial FLASH 메모리 칩으로 ROM 또는 NOR FLASH를 대체하여 같은 보다 저렴한 가격에 보조저장 공간을 제공할 수 있다.

【특허청구범위】**【청구항 1】**

시스템 인터페이스부를 통해 수신되는 주 제어부의 명령어에 따라 Serial FLASH의 지정된 메모리 주소를 액세스하여 상기 주 제어부로부터 요구된 데이터를 판독하거나 기록하는 캐시 모듈,

상기 Serial FLASH에 기록된 부트 코드를 독출하여 버퍼에 저장하고 상기 주 제어부로부터 부트 코드가 요구되면 바로 전송하여 시스템 부팅이 실행되도록 하는 부트로더가 구비된 시리얼 플래시 컨트롤러, 및

상기 캐시 모듈 및 부트 로더와 Serial FLASH간의 데이터 송/수신을 처리하는 플래시 인터페이스부를 포함하는 것을 특징으로 하는 Serial FLASH에서의 XIP 실행을 위한 제어 장치.

【청구항 2】

제 1항에 있어서,

상기 캐시 모듈은

상기 주 제어부로부터 판독 연산이 요구되면 상기 Serial FLASH에 접근하여 지정된 메모리 주소가 속한 페이지를 독출하고 독출된 페이지를 통해 상기 메모리 주소에 해당되는 데이터를 상기 주 제어부로 전송하는 캐시 컨트롤러,

상기 캐시 컨트롤러의 동작 제어에 따라 독출된 페이지에 대한 저장정보를 기록하는 태그 저장부, 및

상기 독출된 페이지를 기록하는 데이터 저장부를 포함하는 것을 특징으로 하는 Serial FLASH에서의 XIP 실행을 위한 제어 장치.

【청구항 3】

제 1항에 있어서,

상기 캐시 컨트롤러는

상기 판독 연산 시 상기 태그 저장부와 데이터 저장부를 참조하여 상기 태그 저장부에 상기 메모리 주소를 포함하는 페이지가 기록되어 있으면 상기 데이터 저장부로부터 해당 되는 데이터를 검출해 상기 주 제어부로 전송하는 기능을 더 포함하는 것을 특징으로 하는 Serial FLASH에서의 XIP 실행을 위한 제어 장치.

【청구항 4】

제 1항에 있어서,

상기 시리얼 플래시 컨트롤러는

상기 주 제어부로부터 요구될 것으로 예상되는 데이터를 상기 Serial FLASH로부터 미리 독출하여 버퍼에 저장하고 상기 주 제어부로부터 요구되면 바로 제공하는 프리 패치를 더 포함하는 것을 특징으로 하는 Serial FLASH에서의 XIP 실행을 위한 제어 장치.

【청구항 5】

제 1항에 있어서,

상기 데이터 저장부와 태그 저장부는 SRAM인 것을 특징으로 하는 Serial FLASH에서의 XIP 실행을 위한 제어 장치.

【청구항 6】

Serial형 셀 타입의 Serial FLASH와,

상기 Serial FLASH에 접근하여 시스템의 주 제어부로부터 요구되는 연산에 따라 버퍼에 미리 저장된 시스템 부팅을 위한 부트 코드를 바로 제공하거나 지정된 메모리 주소를 액세스하여 해당되는 데이터를 판독 또는 기록하는 컨트롤러를 포함하는 것을 특징으로 하는 Serial FLASH에서의 XIP 실행을 위한 제어 장치를 이용한 플래시 메모리 칩.

【청구항 7】

제 6항에 있어서,

상기 컨트롤러는

시스템 인터페이스부를 통해 수신되는 주 제어부의 명령어에 따라 Serial FLASH의 지정된 메모리 주소를 액세스하여 상기 주 제어부로부터 요구된 데이터를 판독하거나 기록하는 캐시 모듈,

상기 Serial FLASH에 기록된 부트 코드를 독출하여 버퍼에 저장하고 상기 주 제어부로부터 부트 코드가 요구되면 바로 전송하여 시스템 부팅이 실행되도록 하는 시리얼 플래시 컨트롤러, 및

상기 캐시 모듈 및 시리얼 플래시 컨트롤러와 Serial FLASH간의 데이터 송/수신을 처리하는 플래시 인터페이스부를 포함하는 것을 특징으로 하는 Serial FLASH에서의 XIP 실행을 위한 제어 장치를 이용한 플래시 메모리 칩.

【청구항 8】

시스템에 전원이 인가되면 Serial FLASH에 접근하여 초기 부팅을 위한 부트 코드를 독출해 버퍼에 저장하는 단계;

상기 부트 코드의 저장이 완료되고 상기 시스템의 주 제어부로부터 부트 코드가 요구되면 상기 버퍼로부터 부트 코드를 독출하여 전송하고 상기 주 제어부로부터 요구되는 연산을 처리하는 단계를 포함하는 것을 특징으로 하는 Serial FLASH에서의 XIP 실행을 위한 제어 방법.

【청구항 9】

제 8항에 있어서,

상기 부트 코드를 독출하여 전송하는 단계는

상기 주 제어부로부터 부트코드 판독 명령어를 수신하는 단계;

상기 수신된 부트코드 판독 명령어에 따라 상기 버퍼에 저장된 부트 코드를 독출하는 단계;

상기 독출된 부트 코드를 상기 주 제어부로 전송하는 단계를 포함하는 것을 특징으로 하는 Serial FLASH에서의 XIP 실행을 위한 제어 방법.

【청구항 10】

제 8항에 있어서,

상기 주 제어부의 Serial FLASH ID 판독 요구에 따라 전송되는 Serial FLASH ID 판독 명령어를 수신하는 단계;

상기 수신된 Serial FLASH ID 판독 명령어에 따라 상기 컨트롤러의 캐시 모듈을 통해 상기 Serial FLASH에 접근하는 단계;

상기 Serial FLASH에서 상기 주 제어부로부터 요구되는 상기 Serial FLASH ID가 속한 페이지 전체를 독출하여 버퍼에 저장하고 필요한 데이터를 순차적으로 전송하는 단계를 더 포함하는 것을 특징으로 하는 Serial FLASH에서의 XIP 실행을 위한 제어 방법.

【청구항 11】

제 8항에 있어서,

상기 주 제어부의 소정의 데이터 기록 요구에 따라 전송되는 상기 데이터에 대한 메모리 주소와 함께 데이터 기록 명령어를 수신하는 단계;

상기 수신된 데이터 기록 명령어에 따라 상기 주 제어부로부터 전송되는 데이터를 버퍼에 저장하는 단계;

상기 버퍼에 저장된 데이터를 상기 Serial FLASH의 사상기법에 따라 할당되는 메모리 주소에 기록하는 단계를 더 포함하는 것을 특징으로 하는 Serial FLASH에서의 XIP 실행을 위한 제어 방법.

【청구항 12】

제 8항에 있어서,

상기 주 제어부의 소정의 데이터 판독 요구에 따라 전송되는 상기 데이터에 대한 메모리 주소와 함께 판독 명령어를 수신하는 단계;

상기 수신된 판독 명령어에 따라 상기 메모리 주소를 상기 컨트롤러의 태그 저장부에서 검색하는 단계;

상기 검색결과 상기 메모리 주소가 검색되면 상기 컨트롤러의 데이터 저장부에서 해당 되는 데이터를 검출해 상기 주 제어부로 전송하는 단계;

상기 검색결과 상기 메모리 주소가 검색되지 않으면 상기 Serial FLASH에 접근해 상기 메모리 주소가 속한 페이지를 독출하여 버퍼에 저장하고 상기 메모리 주소의 데이터를 검출해 상기 주 제어부로 전송하는 단계를 더 포함하는 것을 특징으로 하는 Serial FLASH에서의 XIP 실행을 위한 제어 방법.

【청구항 13】

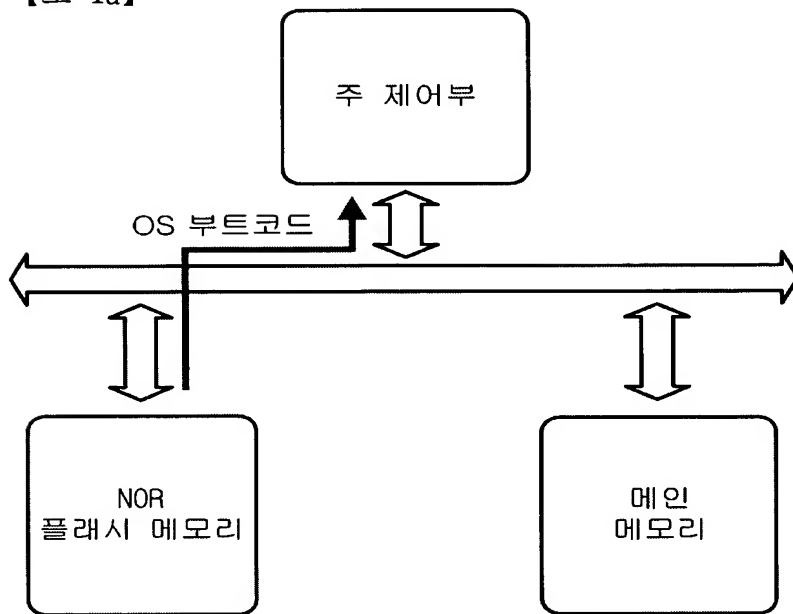
제 12항에 있어서,

상기 Serial FLASH에 접근하여 독출된 페이지를 통해 상기 주 제어부에서 요구된 데이터를 제공하는 단계는

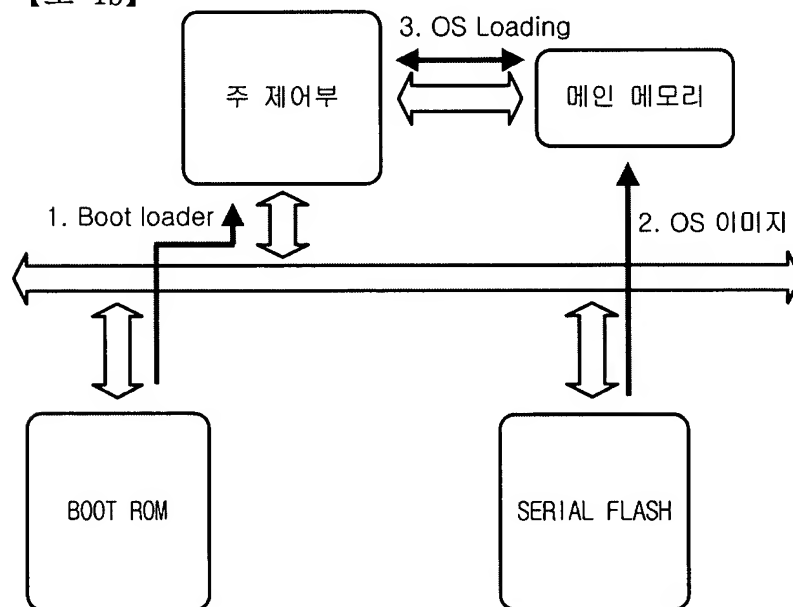
상기 독출된 페이지에 대한 저장 정보를 태그 저장부에 기록하며 독출된 페이지를 데이터 저장부에 기록하는 단계를 더 포함하는 것을 특징으로 하는 Serial FLASH에서의 XIP 실행을 위한 제어 방법.

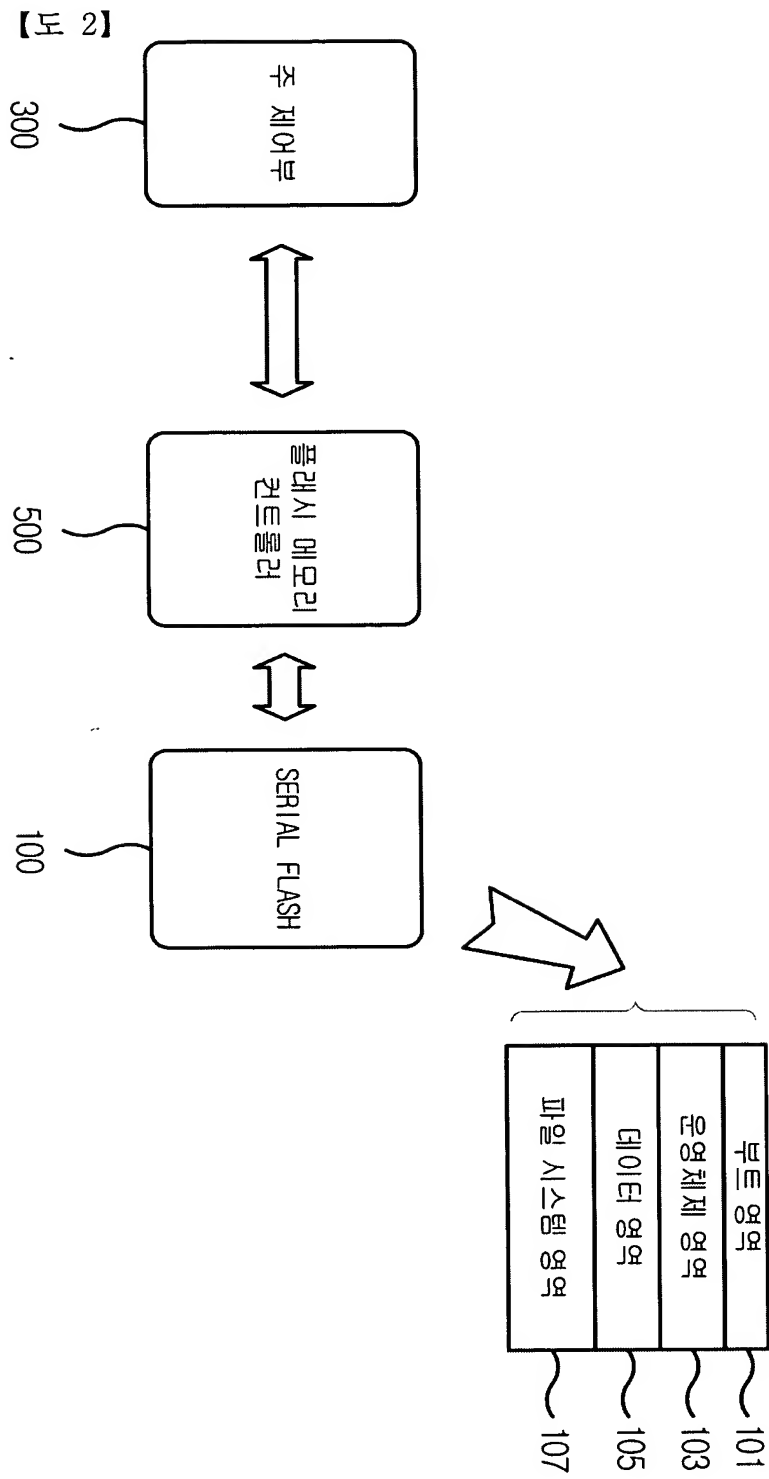
【도면】

【도 1a】

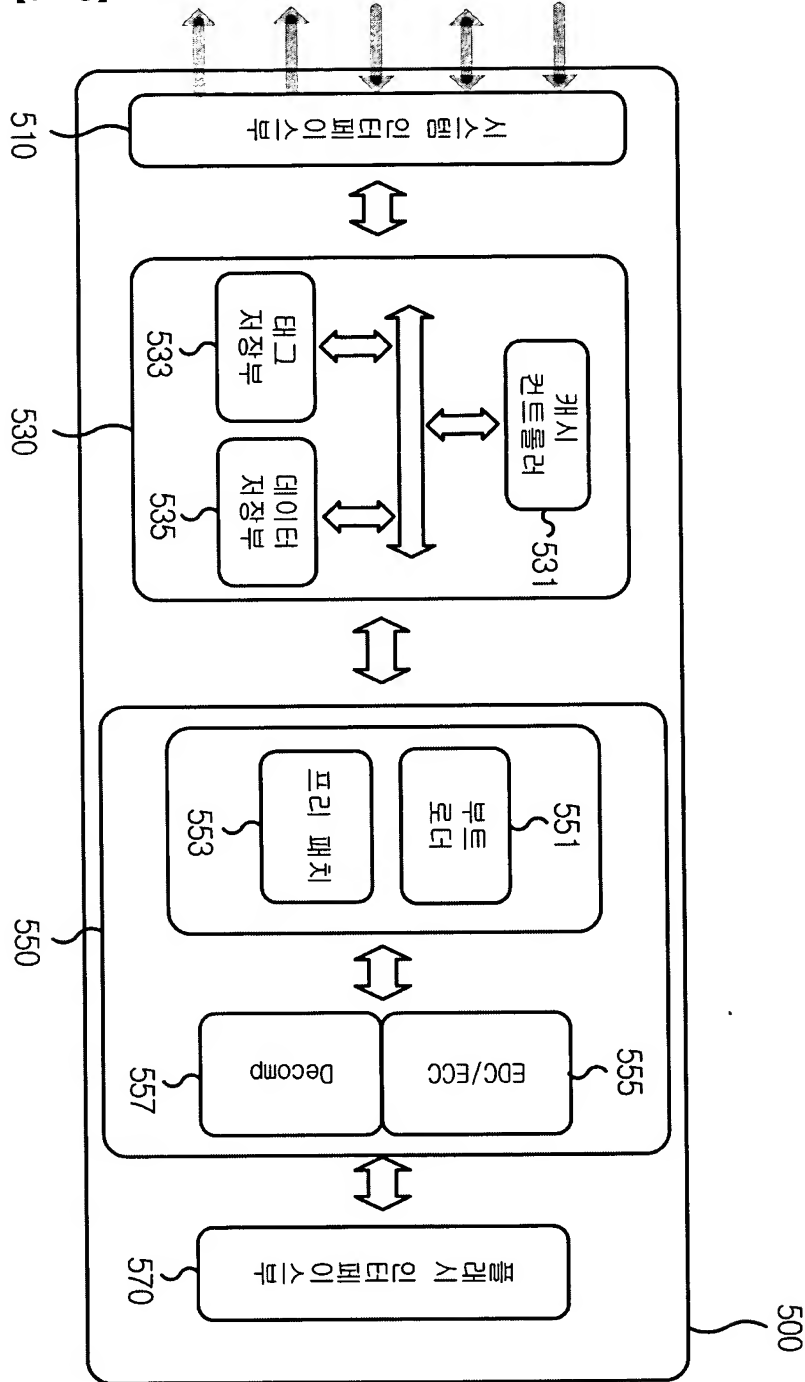


【도 1b】

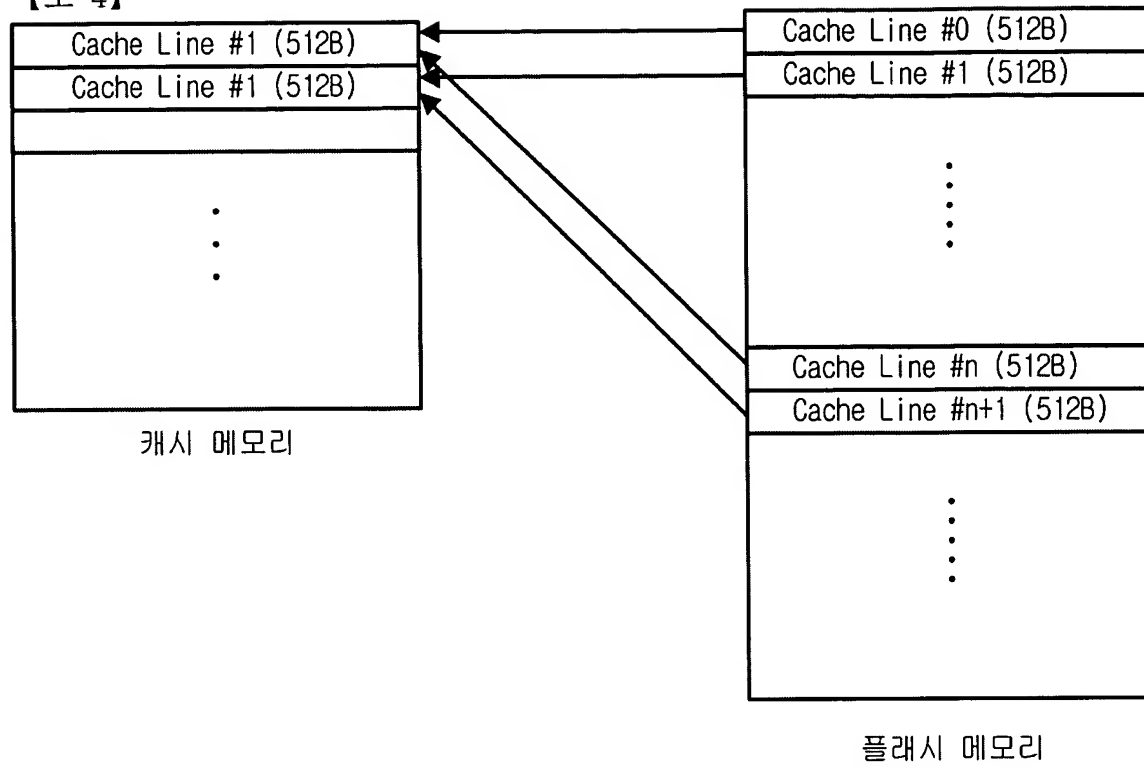




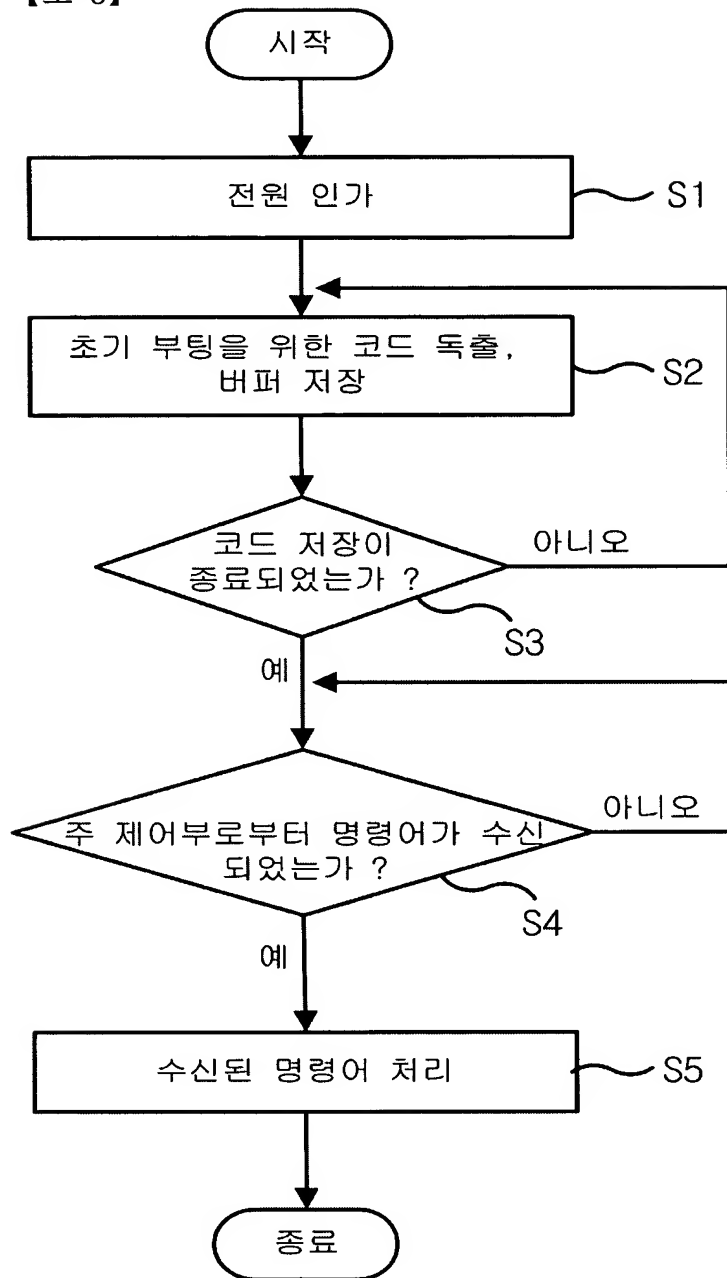
【도 3】



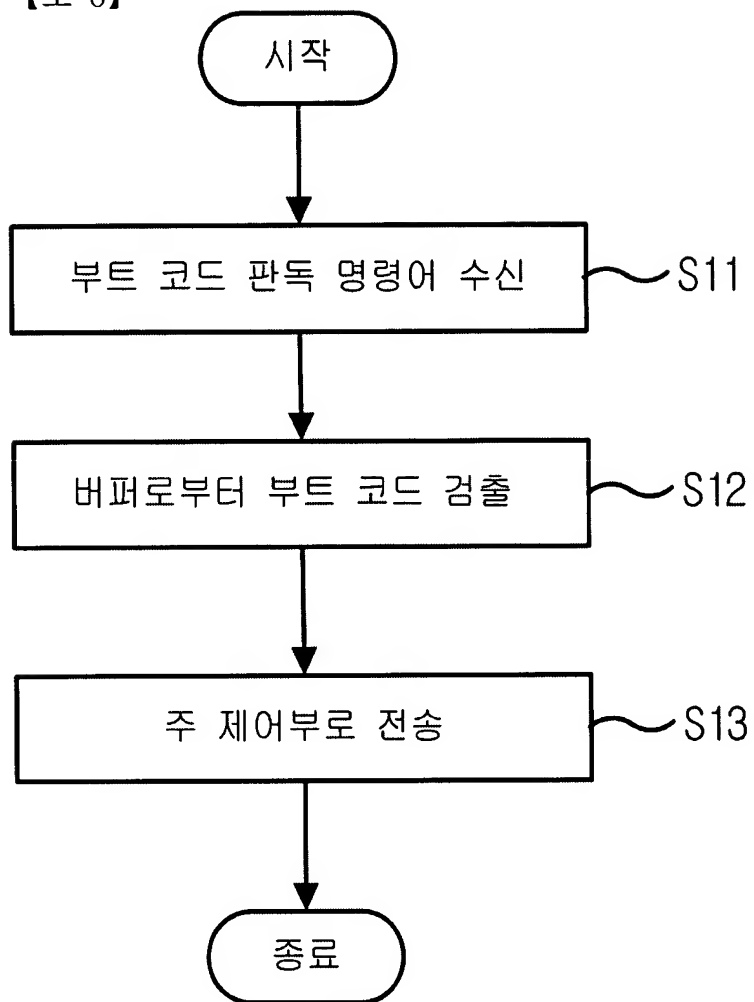
【도 4】



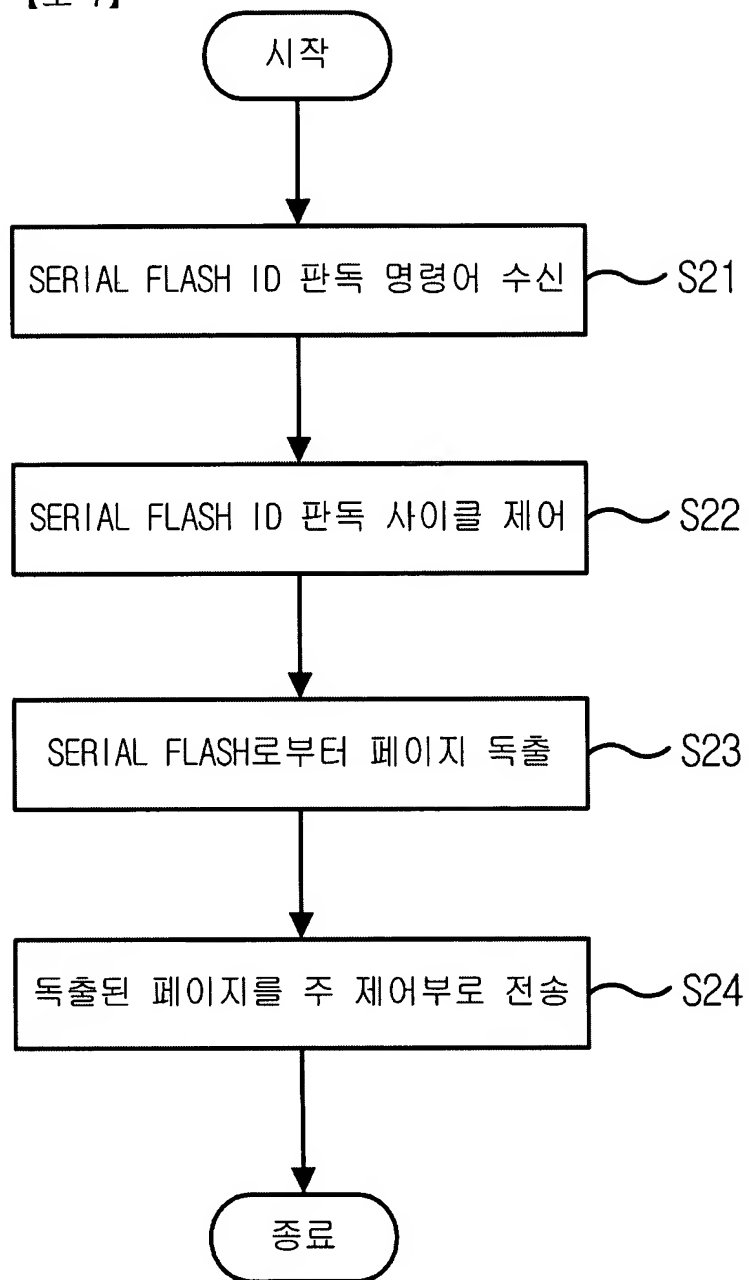
【도 5】



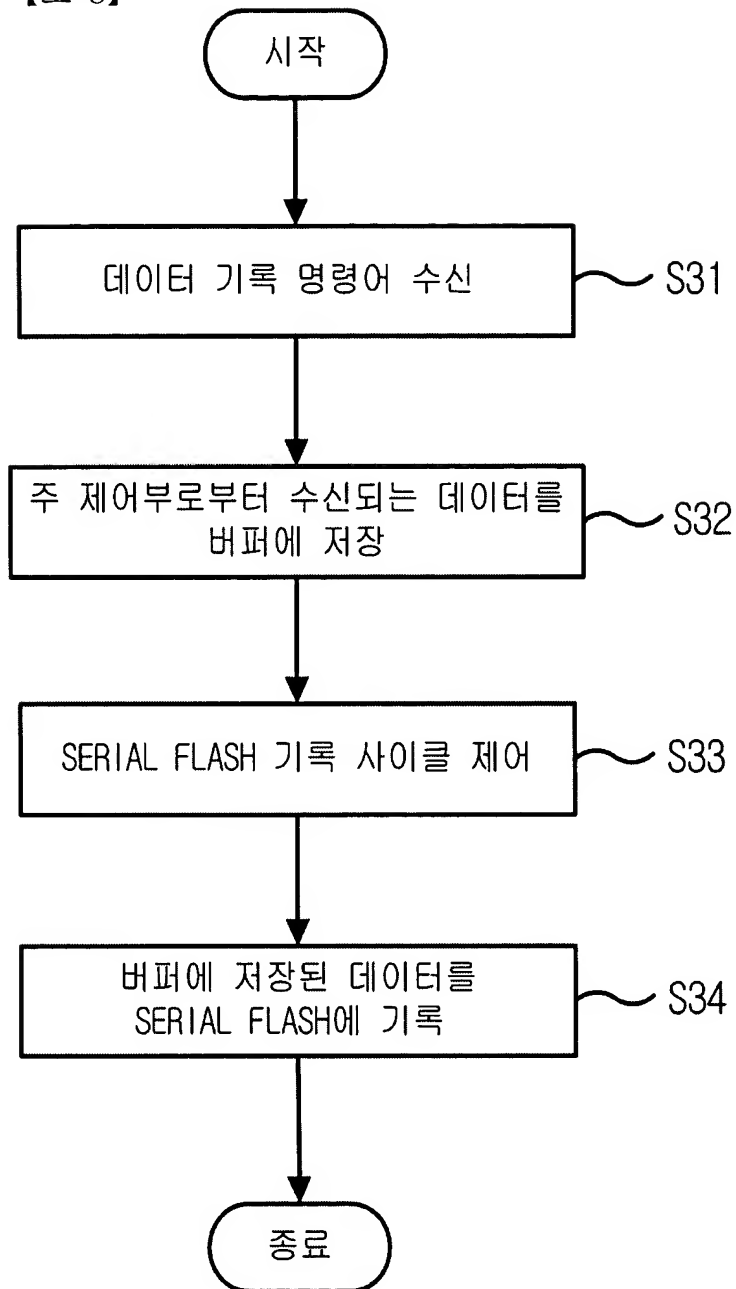
【도 6】



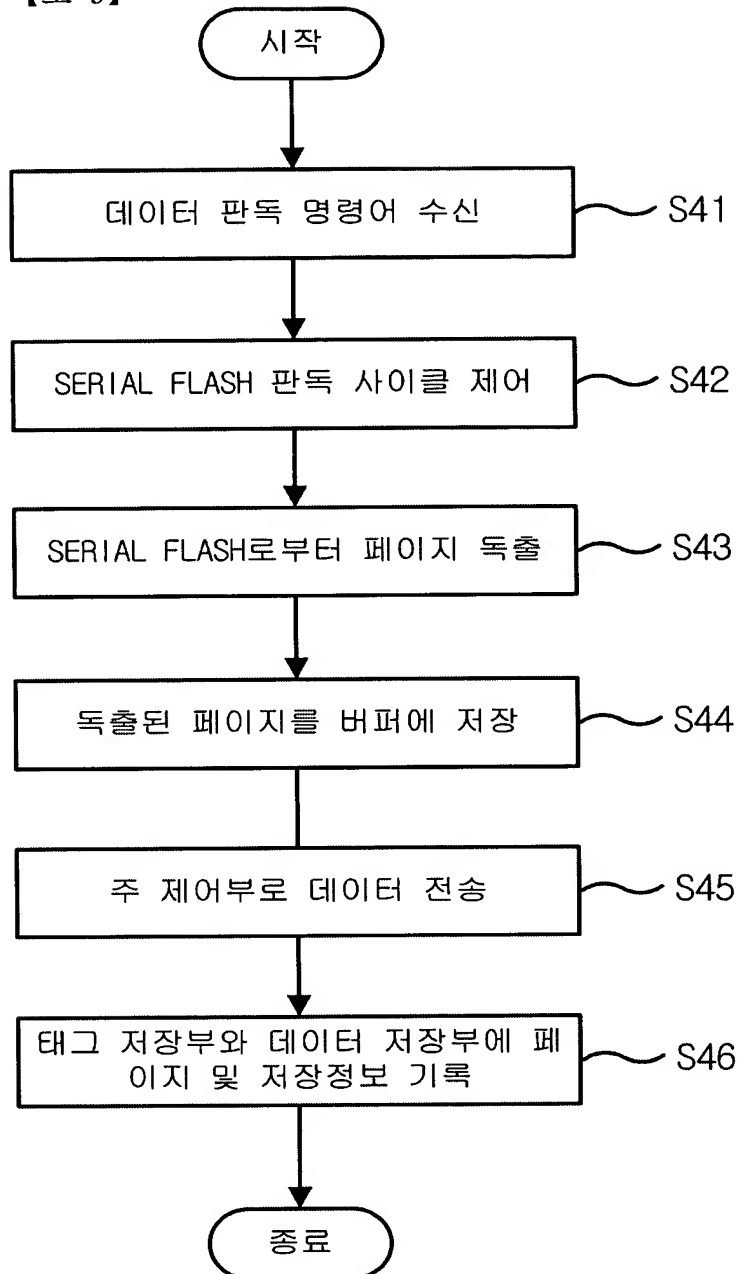
【도 7】



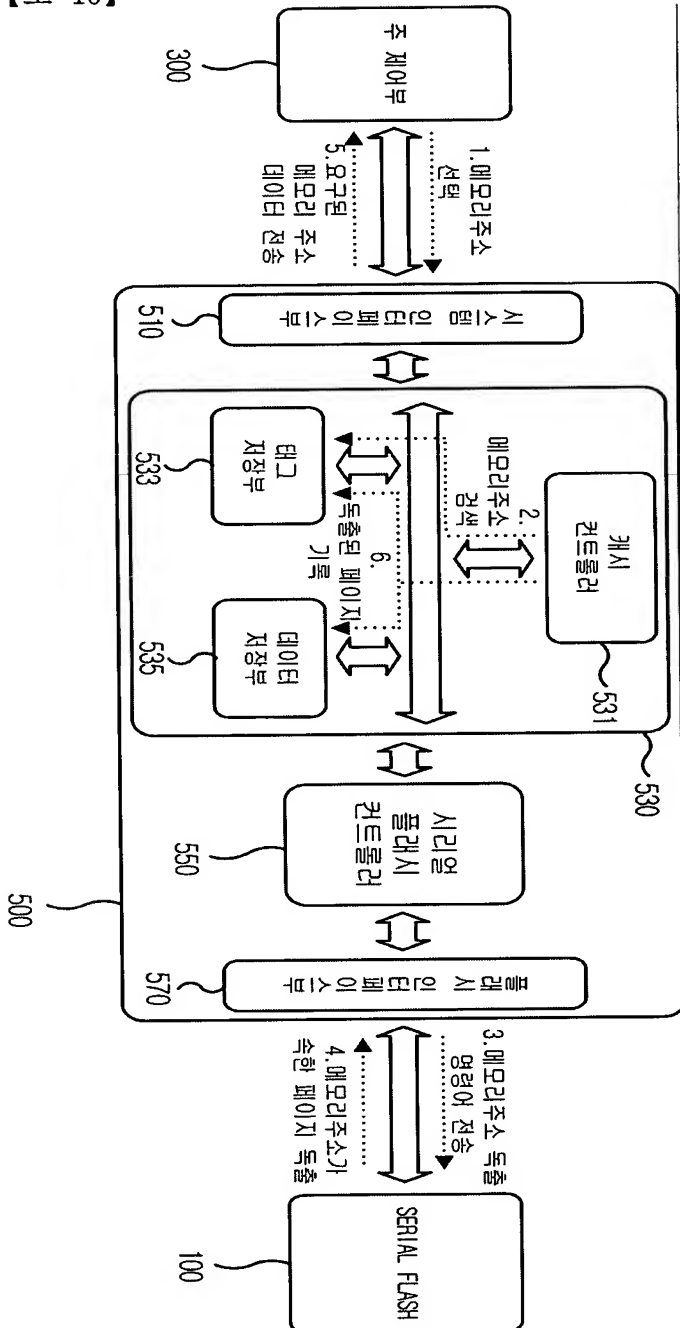
【도 8】



【도 9】



【도 10】



【도 11】

